

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月20日

出 願 番 号

Application Number:

特願2002-276381

[ ST.10/C ]:

[ JP2002-276381 ]

出 願 人

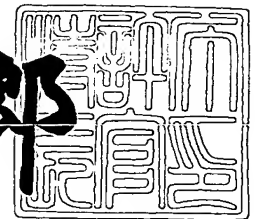
Applicant(s):

富士通メディアデバイス株式会社  
富士通株式会社

2003年 3月18日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3018393

【書類名】 特許願

【整理番号】 02073001

【提出日】 平成14年 9月20日

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H03H 9/17  
H03H 3/02

【発明の名称】 フィルタ装置

【請求項の数】 20

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 西原 時弘

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 横山 剛

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 坂下 武

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 宮下 勉

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 佐藤 良夫

【特許出願人】

【識別番号】 398067270

【氏名又は名称】 富士通メディアデバイス株式会社

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100087480

【弁理士】

【氏名又は名称】 片山 修平

【電話番号】 043-351-2361

【手数料の表示】

【予納台帳番号】 153948

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0117701

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 フィルタ装置

【特許請求の範囲】

【請求項 1】 複数の圧電薄膜共振子が直列腕と並列腕とに配置されたフィルタ素子と、前記フィルタ素子をフェイスダウン状態に収納するパッケージとを有し、前記フィルタ素子と前記パッケージとがバンプを介して電氣的に接続されたフィルタ装置であって、

前記パッケージは、前記バンプが設置される複数の第 1 のパッド部と、該複数の第 1 のパッド部と外部とを電氣的に接続する複数の伝送路とを有し、

前記フィルタ素子は、前記バンプを介して前記第 1 のパッド部と電氣的に接続される第 2 のパッド部と、該複数の第 2 のパッド部と前記複数の圧電薄膜共振子とを電氣的に接続する、又は前記複数の圧電薄膜共振子間を電氣的に接続する配線部とを有し、

前記圧電薄膜共振子と直列に前記伝送路によるインダクタンスが接続されていることを特徴とするフィルタ装置。

【請求項 2】 前記配線部は導電層が積層されることで厚膜化されていることを特徴とする請求項 1 記載のフィルタ装置。

【請求項 3】 前記第 2 のパッド部はパッド下地層が積層されることで厚膜化されていることを特徴とする請求項 1 記載のフィルタ装置。

【請求項 4】 前記第 2 のパッド部と前記圧電薄膜共振子とを接続する前記配線部上に形成された前記導電層と、前記パッド下地層とは一体形成されていることを特徴とする請求項 3 記載のフィルタ装置。

【請求項 5】 前記複数の圧電薄膜共振子間を接続する前記配線部上に形成された前記導電層は、前記パッド下地層と同一の層構造を有することを特徴とする請求項 3 又は 4 記載のフィルタ装置。

【請求項 6】 前記導電層及び／又は前記バンプ下地層は 2 層構造であることを特徴とする請求項 2 から 5 の何れか 1 項に記載のフィルタ装置。

【請求項 7】 前記配線部は、長さとの比が 3 以下であることを特徴とする請求項 1 記載のフィルタ装置。

【請求項 8】 前記直列腕に配置された前記圧電薄膜共振子は直線状に配置され、

前記並列腕に配置された前記圧電薄膜共振子の少なくとも 1 つは前記直列腕の一方の側に配置され、他の前記圧電薄膜共振子は前記直列腕の他の一方の側に配置されていることを特徴とする請求項 1 記載のフィルタ装置。

【請求項 9】 前記第 1 のパッド部の面積は、前記バンプが設置された面積の 1 倍以上 6 倍以下であることを特徴とする請求項 1 記載のフィルタ装置。

【請求項 10】 1 つの前記第 1 のパッド部と 1 つの前記第 2 のパッド部とは、1 つの前記バンプにより接続されていることを特徴とする請求項 1 記載のフィルタ装置。

【請求項 11】 前記伝送路は前記パッケージのダイアタッチ面上に形成されていることを特徴とする請求項 1 記載のフィルタ装置。

【請求項 12】 前記伝送路の少なくとも 8 割以上は、前記フィルタ素子における前記配線部、前記パッド部及び前記圧電薄膜共振子が形成された領域と対向しない領域に形成されていることを特徴とする請求項 1 記載のフィルタ装置。

【請求項 13】 前記パッケージはガラス・セラミクスを主成分として形成されていることを特徴とする請求項 1 記載のフィルタ装置。

【請求項 14】 前記伝送路の線幅は、 $50\mu\text{m}$  以上  $150\mu\text{m}$  以下であることを特徴とする請求項 1 記載のフィルタ装置。

【請求項 15】 前記伝送路は銅又は銀を主成分として形成されていることを特徴とする請求項 1 記載のフィルタ装置。

【請求項 16】 前記伝送路は少なくとも一部に曲線部分を有することを特徴とする請求項 1 記載のフィルタ装置。

【請求項 17】 前記フィルタ素子は前記圧電薄膜共振子が梯子型に配置されていることを特徴とする請求項 1 記載のフィルタ装置。

【請求項 18】 前記フィルタ装置は前記圧電薄膜共振子が格子型に配置されていることを特徴とする請求項 1 記載のフィルタ装置。

【請求項 19】 前記パッケージは、前記フィルタ素子をフェイスダウン状態で保持する底部と、前記底部上に保持された前記フィルタ素子を側方から囲む

側壁部とを有し、

前記側壁部上に形成された導電性シールリングと、

前記底部及び前記側壁部で形成された凹部を前記前記導電性シールリングを介して密閉する導電性キャップ部材とを有することを特徴とする請求項 1 から 1 8 の何れか 1 項に記載のフィルタ装置。

【請求項 2 0】 前記パッケージは、前記フィルタ素子をフェイスダウン状態で保持する底部と、前記底部上に保持された前記フィルタ素子を側方から囲む側壁部とを有し、

前記側壁部上に形成された導電性シールリングと、

前記底部及び側壁部で形成された凹部を前記導電性シールリングを介して密閉する導電性キャップ部材と、

前記側壁部内部を前記底部から前記導電性シールリングまで貫通するように設けられたビアとを有し、

前記伝送路は前記ビアを介して前記導電性シールリングに接続されていることを特徴とする請求項 1 から 1 8 の何れか 1 項に記載のフィルタ装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、パッケージに収納された圧電薄膜共振子を使用したフィルタ装置に関する。

【0 0 0 2】

【従来の技術】

従来、複数の一端子対弾性表面波共振子（以下、単に共振子という）が直列腕と並列腕とに設けられた梯子型弾性表面波フィルタ素子において、直列腕又は並列腕の共振子にインダクタンス成分を直列に接続することにより、フィルタ特性の広帯域化及び通過帯域近傍における高抑制化を図る技術が知られている。

【0 0 0 3】

例えば、以下に挙げる特許文献 1（以下、これを従来技術 1 という）には、弾性表面波フィルタ素子の電極端子とパッケージの電極端子とを接続するボンディ

ングワイヤにより上記のインダクタンス成分（図 1 中、L 1 0 1 ～ L 1 0 5）を得る構成が開示されている。図 1 に、従来技術 1 による梯子型弾性表面波フィルタ装置 1 0 0 の回路構成を示す。

【 0 0 0 4 】

一方、小型化を目的とした場合、弾性表面波フィルタ素子の電極端子とパッケージの電極端子とをフェイスダウン状態でバンプを介して接続することが有効である（例えば、特許文献 2 参照）。以下、これを従来技術 2 という。図 2 ～ 4 に従来技術 2 による梯子型弾性表面波フィルタ装置 2 0 0 の構成を示す。尚、図 2 は梯子型弾性表面波フィルタ装置 2 0 0 の弾性表面波（Surface Acoustic Wave：SAW）の伝播方向に沿った断面図（概略）を示し、図 3 は梯子型弾性表面波フィルタ装置 2 0 0 に搭載される梯子型弾性表面波フィルタ素子 2 0 1 の上面図（表面 a）を示し、図 4 は梯子型弾性表面波フィルタ素子 2 0 1 を収納するパッケージ 2 0 2 のダイアタッチ面 A を示す。

【 0 0 0 5 】

図 2 に示すように、梯子型弾性表面波フィルタ装置 2 0 0 は、パッケージ 2 0 2 のダイアタッチ面 A へ梯子型弾性表面波フィルタ素子 2 0 1 をフェイスダウン状態でバンプ 2 0 3 を用いてボンディングした構成を有している。また、図 3 に示す各共振子 2 1 4 にインダクタンス成分を直列に接続するために、従来技術 2 では、図 4 に示すようなマイクロストリップライン 2 2 0 がパッケージ 2 0 2 のダイアタッチ面 A 上に形成されている。

【 0 0 0 6 】

【特許文献 1】

特開平 5 - 1 8 3 3 8 0 号公報

【特許文献 2】

特開 2 0 0 2 - 1 4 1 7 7 1 号公報

【 0 0 0 7 】

【発明が解決しようとする課題】

しかしながら、従来技術 2 のような弾性表面波フィルタ素子 2 0 1 において、弾性表面波共振子 2 1 4 間の配線 2 1 0 や弾性表面波共振子 2 1 4 とバンプ接続

用パッド 2 1 3 との間の配線 2 1 0 が図 3 に示すように長い場合、配線 2 1 0 がインダクタンスとして作用するため、弾性表面波フィルタ装置 2 0 0 のフィルタ特性に影響が及ぼされるという問題が存在する。

## 【 0 0 0 8 】

より詳細には、通常、上記のようなフィルタ素子上の配線 2 1 0 は、弾性表面波共振子 2 1 4 の櫛形電極 2 1 1 及び反射電極 2 1 2 と同工程で薄膜の気相成長法を用いて形成されるため、その膜厚は 0. 0 5 ~ 0. 5  $\mu$  m 程度である。このような薄膜で形成される配線 2 1 0 は抵抗損失が大きく、Q の悪いインダクタンスとして働く。このため従来技術 2 では、Q の悪いインダクタンスが付加されることになり、弾性表面波フィルタ装置 2 0 0 のフィルタ特性が悪化する。

## 【 0 0 0 9 】

また、従来技術 2 では、図 4 に示すようにパッケージ 2 0 2 のダイアタッチ面 A 上に形成されるバンプ接続用パッド 2 2 1 が、製造上の精度からある程度大きく形成される。即ち、バンプ 2 0 3 を用いたボンディングの際の位置決め精度にある程度のマージンを設けるため、バンプ接続用パッド 2 2 1 がある程度大きく構成される。このため、フェイスダウン状態でバンプ 2 0 3 により梯子型弾性表面波フィルタ素子 2 0 1 とパッケージ 2 0 2 とが接続された場合、梯子型弾性表面波フィルタ素子 2 0 1 の表面 a に形成された導体パターン（櫛形電極 2 1 1，反射電極，とパッケージ 2 0 2 のバンプ接続用パッド 2 2 1 とが向かい合う状態になり、弾性表面波フィルタ装置 2 0 0 のフィルタ特性に悪影響を及ぼす浮遊容量が発生するという問題が存在する。

## 【 0 0 1 0 】

さらに、従来技術 2 に示される梯子型弾性表面波フィルタ素子 2 0 1 の基板には、一般に 3 0 ~ 5 0 の大きな比誘電率を有する  $\text{LiTaO}_3$ 、或いは、 $\text{LiNbO}_3$  が使用されるため、フェイスダウン状態で梯子型弾性表面波フィルタ素子 2 0 1 が実装された場合、パッケージ 2 0 2 のダイアタッチ面 A 上の導体パターン間に入る浮遊容量が大きくなり、やはり弾性表面波フィルタ装置 2 0 0 のフィルタ特性に悪影響を及ぼすという問題が存在する。

## 【 0 0 1 1 】



そこで本発明は、上記の問題を解決し、フィルタ特性の広帯域化及び通過帯域近傍における高抑圧化が図られた小型のフィルタ装置を提供することを目的とする。

#### 【 0 0 1 2 】

##### 【課題を解決するための手段】

かかる目的を達成するために、本発明は、請求項 1 記載のように、複数の圧電薄膜共振子が直列腕と並列腕とに配置されたフィルタ素子と、前記フィルタ素子をフェイスダウン状態に収納するパッケージとを有し、前記フィルタ素子と前記パッケージとがバンプを介して電氣的に接続されたフィルタ装置であって、前記パッケージが、前記バンプが設置される複数の第 1 のパッド部と、該複数の第 1 のパッド部と外部とを電氣的に接続する複数の伝送路とを有し、前記フィルタ素子が、前記バンプを介して前記第 1 のパッド部と電氣的に接続される第 2 のパッド部と、該複数の第 2 のパッド部と前記複数の圧電薄膜共振子とを電氣的に接続する、又は前記複数の圧電薄膜共振子間を電氣的に接続する配線部とを有し、前記圧電薄膜共振子と直列に前記伝送路によるインダクタンスが接続されている構成を有する。このように構成することで、パッケージ内の伝送路による Q の良いインダクタンスのみがフィルタ素子を形成する各圧電薄膜共振子に直列に付加される構成が、フィルタ装置の縮小が可能なバンプ接続を用いて実現されるため、フィルタ特性の広帯域化及び通過帯域近傍における高抑圧化が図られた小型のフィルタ装置が実現される。

#### 【 0 0 1 3 】

また、上記のフィルタ装置における前記配線部は、好ましくは請求項 2 記載のように、導電層が積層されることで厚膜化されている。このように、導電層を圧電薄膜共振子間の配線部上、又は圧電薄膜共振子とバンプ接続用のパッドと間の配線部上に設けた構成を有することで、この部分の抵抗値が低減されるため、フィルタ素子における悪い Q のインダクタンスが低減し、結果としてフィルタ特性を向上することができる。

#### 【 0 0 1 4 】

また、上記のフィルタ装置における前記第 2 のパッド部は、好ましくは請求項

3 記載のように、パッド下地層が積層されることで厚膜化されている。

【 0 0 1 5 】

また、上記のフィルタ装置は、好ましくは請求項 4 記載のように、前記第 2 のパッド部と前記圧電薄膜共振子とを接続する前記配線部上に形成された前記導電層と、前記パッド下地層とが一体形成された構成を有する。これにより、フィルタ素子における Q の悪いインダクタンスを低減するための導電層を、パッド下地層と同一の工程で容易に形成することができる。

【 0 0 1 6 】

また、上記のフィルタ装置は、好ましくは請求項 5 記載のように、前記複数の圧電薄膜共振子間を接続する前記配線部上に形成された前記導電層が、前記パッド下地層と同一の層構造を有するように構成される。これにより、フィルタ素子における Q の悪いインダクタンスを低減するための導電層を、パッド下地層と同一の工程で容易に形成することができる。

【 0 0 1 7 】

また、上記のフィルタ装置は、好ましくは請求項 6 記載のように、前記導電層及び／又は前記バンプ下地層が 2 層構造で構成される。このように 2 層構造のバンプ下地層を有することで、圧電薄膜共振子との接着性とバンプとの密着性を個別に考慮した低抵抗率の材料を使用することが可能となる。

【 0 0 1 8 】

また、上記のフィルタ装置における前記配線部は、好ましくは請求項 7 記載のように、長さ／幅との比が 3 以下であるように構成される。このように、圧電薄膜共振子間及び圧電薄膜共振子とバンプ接続用のパッドと間の配線部における長さ／幅との比（長さ／幅）を 3 以下とすることで、この配線部による Q の悪いインダクタンスが低減され、フィルタ特性の悪化を抑制することができる。

【 0 0 1 9 】

また、上記のフィルタ装置は、好ましくは請求項 8 記載のように、前記直列腕に配置された前記圧電薄膜共振子が直線状に配置され、前記並列腕に配置された前記圧電薄膜共振子の少なくとも 1 つが前記直列腕の一方の側に配置され、他の前記圧電薄膜共振子が前記直列腕の他の一方の側に配置されているように構成さ

れる。このように、直列腕の圧電薄膜共振子を直線状に配置し、この直線状の直列腕の圧電薄膜共振子列の両端に並列腕の圧電薄膜共振子を配置することにより、各バンプ接続用のパッド部間及びパッド部とパッケージのダイアタッチ面上の伝送路との間の距離を大きく確保することが可能となり、浮遊容量の発生を抑えることができる。尚且つ、フェイスダウン状態で実装されたフィルタ素子の電極パターン領域とダイアタッチ面上の伝送路との対向する部分を少なくできることでも、浮遊容量の発生を抑えることができる。

## 【 0 0 2 0 】

また、上記のフィルタ装置は、好ましくは請求項 9 記載のように、前記第 1 のパッド部の面積が、前記バンプが設置された面積の 1 倍以上 6 倍以下であるように構成される。このように、パッケージ内のバンプ接続用のパッドのサイズ（面積）を、フリップチップボンディングの際の位置ずれを吸収できる範囲内で最小サイズである、バンプが設置される面積の 1 倍以上 6 倍以下とすることにより、伝送路をより長く引き回すスペースを確保ことができるため、パッケージを小型化した際にもフィルタ特性を向上させるのに十分なインダクタンスを得ることができる。更に、上記の構成を有することで、パッケージにおいて、各バンプ接続用のパッド部間及びパッド部と伝送路との間の距離を大きく確保することが可能となり、浮遊容量の発生を抑えることができる。尚且つ、フェイスダウン状態で実装されたフィルタ素子の電極パターン領域とダイアタッチ面上のバンプ接続用のパッド部との対向する部分を少なくできることでも、浮遊容量の発生を抑えることができる。

## 【 0 0 2 1 】

また、上記のフィルタ装置は、好ましくは請求項 1 0 記載のように、1 つの前記第 1 のパッド部と 1 つの前記第 2 のパッド部とが、1 つの前記バンプにより接続されているように構成される。このように必要最小限である 1 個のバンプを用いて接続することにより、バンプ接続用の第 1 及び第 2 のパッド部の面積を必要最小限にすることができ、浮遊容量の発生を抑えることができる。

## 【 0 0 2 2 】

また、上記のフィルタ装置は、例えば請求項 1 1 記載のように、前記伝送路が

前記パッケージのダイアタッチ面上に形成されているように構成される。このように、伝送路をダイアタッチ面に形成した構成を有することで、伝送路の片面が空気層となるため、浮遊容量の発生を抑えることができるとともに、パッケージが簡易な構成となるため、コストアップを抑えることが可能となる。

## 【 0 0 2 3 】

また、上記のフィルタ装置は、好ましくは請求項 1 2 記載のように、前記伝送路の少なくとも 8 割以上が、前記フィルタ素子における前記配線部、前記パッド部及び前記圧電薄膜共振子が形成された領域と対向しない領域に形成されているように構成される。これにより、ダイアタッチ面上の伝送路の大部分が、フェイスダウン状態で実装されたフィルタ素子の配線部及びパッド部及び圧電薄膜共振子と対向しない領域に形成されるため、浮遊容量の発生を抑えることができる。

## 【 0 0 2 4 】

また、上記のフィルタ装置は、好ましくは請求項 1 3 記載のように、前記パッケージがガラス・セラミクスを主成分として形成されている。このように、パッケージを比誘電率が 4 ～ 8 と比較的小さいガラス質のセラミクス（ガラス・セラミクス）を用いて形成することで、フィルタ特性の悪化を招く浮遊容量の発生を低減させることが可能となる。更に、ガラス・セラミクスを使用することで、低温焼結が可能となるため、フィルタ素子をパッケージに収納する際にフィルタ素子に与えるダメージを低減することも可能となる。

## 【 0 0 2 5 】

また、上記のフィルタ装置は、好ましくは請求項 1 4 記載のように、前記伝送路の線幅が、 $50\mu\text{m}$ 以上 $150\mu\text{m}$ 以下であるように構成されている。これにより、伝送路の再現性を確保しつつ、浮遊容量の発生を抑えることが可能となる。

## 【 0 0 2 6 】

また、上記のフィルタ装置は、例えば請求項 1 5 記載のように、前記伝送路が銅又は銀を主成分として形成されている。このように低抵抗率の導電性材料である銅や銀を使用することで、パッケージの伝送路が有する抵抗損失が低減されるため、フィルタ特性を向上させることが可能となる。

## 【0027】

また、上記のフィルタ装置は、好ましくは請求項16記載のように、前記伝送路が少なくとも一部に曲線部分を有するように構成される。このように伝送路に曲線部分を持たせることで、インダクタンスのQを高くすることが可能となり、結果としてフィルタ特性を向上させることが可能となる。

## 【0028】

また、上記のフィルタ装置における前記フィルタ素子は、例えば請求項17記載のように、前記圧電薄膜共振子が梯子型に配置されている構成を有する。

## 【0029】

また、上記のフィルタ装置における前記フィルタ素子は、例えば請求項18記載のように、前記圧電薄膜共振子が格子型に配置されている構成を有する。

## 【0030】

また、上記のフィルタ装置は、例えば請求項19記載のように、前記パッケージが、前記フィルタ素子をフェイスダウン状態で保持する底部と、前記底部上に保持された前記フィルタ素子を側方から囲む側壁部とを有し、前記側壁部上に形成された導電性シールリングと、前記底部及び前記側壁部で形成された凹部を前記前記導電性シールリングを介して密閉する導電性キャップ部材とを有するように構成される。

## 【0031】

また、上記のフィルタ装置は、例えば請求項20記載のように、前記パッケージが、前記フィルタ素子をフェイスダウン状態で保持する底部と、前記底部上に保持された前記フィルタ素子を側方から囲む側壁部とを有し、前記側壁部上に形成された導電性シールリングと、前記底部及び側壁部で形成された凹部を前記導電性シールリングを介して密閉する導電性キャップ部材と、前記側壁部内部を前記底部から前記導電性シールリングまで貫通するように設けられたビアとを有し、前記伝送路は前記ビアを介して前記導電性シールリングに接続されているように構成される。

## 【0032】

## 【発明の実施の形態】

以下、本発明を好適に実施した形態について、図面を用いて詳細に説明する。

【 0 0 3 3 】

〔一実施形態〕

まず、本発明の一実施形態について説明する。尚、本実施形態では、複数の一端子対圧電薄膜共振子を直列腕と並列腕とに設けた梯子型バンドパスフィルタ素子を用いてフィルタ装置を構成した場合を例に挙げる。

【 0 0 3 4 】

ここで、梯子型バンドパスフィルタ素子について説明する。一般的な一端子対圧電薄膜共振子は、基板と該基板上に設けられた薄膜の積層共振体とを含んで構成される。積層共振体は、圧電膜と該圧電膜を上下から挟む一对の電極膜（上部電極膜及び下部電極膜）とを含んで構成される。また、基板における積層共振体の下方の位置には空隙部（キャビティ）が開設される。

【 0 0 3 5 】

このような構成を有する一端子対圧電薄膜共振子の上下の電極に交流電圧を印加すると、逆圧電効果により、これらに挟まれた部分の圧電膜が厚み縦振動を発生するため、電氣的な共振特性が現れる。

【 0 0 3 6 】

また、上記のような一端子対圧電薄膜共振子は、図 5 に示すような 2 重共振特性を有する等価回路で表すことができる。従って、この一端子対圧電薄膜共振子を梯子型回路の直列腕と並列腕とに複数個配置することで、バンドパスフィルタの特性が得られる。

【 0 0 3 7 】

以下、本実施形態を図面を用いて詳細に説明する。図 6 は本実施形態による梯子形バンドパスフィルタ素子 1 の上面図である。図 7 は、図 6 に示す梯子型バンドパスフィルタ素子 1 の X-X' 断面図である。また、このように構成された梯子型バンドパスフィルタ素子 1 の等価回路を図 8 に示す。

【 0 0 3 8 】

図 6 に示すように、梯子型バンドパスフィルタ素子 1 は、直列腕に 4 個、並列腕に 3 個の圧電薄膜共振子を有している。直列腕の共振子（以下、直列共振子と

いう) S 1 ~ S 4 は直線状に配置されている。また、並列腕の共振子(以下、並列共振子という) P 2 は直線状に配置された直列共振子 S 1 ~ S 4 の配列に対して一方の側に配置され、また、他方の方側には並列共振子 P 1, P 3 が配置されている。このように直列腕の共振子を直線状に配置し、この直線状の直列腕の共振子列の両端に並列腕の共振子を配置することにより、各バンプ接続用のパッド部間及びパッド部とパッケージのダイアタッチ面上の伝送路との間の距離を大きく確保することが可能となり、浮遊容量の発生を抑えることができる。尚且つ、フェイスダウン状態で実装されたフィルタ素子の電極パターン領域とダイアタッチ面上の伝送路との対向する部分を少なくできることでも、浮遊容量の発生を抑えることができる。

## 【 0 0 3 9 】

次に、梯子型バンドパスフィルタ素子 1 の層構造及び直列共振子 ( S 1 ~ S 4 ) の層構造を図 7 を用いて詳細に説明する。尚、並列共振子 P 1 ~ P 3 も同様の構成であるため、ここでは説明を省略する。

## 【 0 0 4 0 】

図 7 において、梯子型バンドパスフィルタ素子 1 の基板 2 には、例えば比誘電率が約 1.3 のシリコン ( S i ) 単結晶基板が用いられる。尚、このシリコン ( S i ) 単結晶基板の他にも、比誘電率が 2.0 以下程度である材料で形成された材料であれば、本発明の主旨を逸脱しない限り種々の材料を使用することができる。尚、この比誘電率が 2.0 以下という条件は、パッケージとの間に生じる浮遊容量の発生を十分に抑えることができる比誘電率の目安である。

## 【 0 0 4 1 】

上記の基板 2 上には、モリブデン ( M o ) 層 5 a とアルミニウム ( A l ) 層 5 b との 2 層構造で形成された下部電極膜 5 がパターンニングされている。また、下部電極膜 5 上及び下部電極膜 5 が形成されていない基板 2 上には、アルミニウム窒素 ( A l N ) で形成された圧電膜 3 が積層されている。更に、圧電膜 3 上には、モリブデン ( M o ) で形成された上部電極膜 4 がパターンニングされている。

## 【 0 0 4 2 】

ここで、上部電極膜 4 又は下部電極膜 5 は、大きく分けて 3 つの領域よりなる

。1つは直列共振子S 1～S 4 又は並列共振子P 1～P 3 の上部電極として作用する領域（電極領域又は電極部ともいう）であり、1つは梯子型バンドパスフィルタ素子1 と外部（パッケージ2 0 上の導体パターン2 3）とをバンプ1 3 により接続するための領域（パッド領域又はパッド部ともいう）であり、他の1つは上記の電極領域同士又は電極領域とパッド領域とを電氣的に接続するための配線領域（又は配線部ともいう）である。

## 【 0 0 4 3 】

また、上部電極膜4 と下部電極膜5 とが重なる領域（電極領域に相当）直下の基板2 には、直列共振子S 1～S 4 と同程度のサイズのキャビティ6 がこれを貫通した状態で設けられている。尚、図7 中には示されていないが、直列共振子S 1～S 4 の共振周波数と並列共振子P 1～P 3 の反共振周波数とが略一致するバンドパスフィルタ特性を得るために、並列共振子P 1～P 3 の積層共振体部には、上部電極膜上にS i O<sub>2</sub>膜が更に設けられている。

## 【 0 0 4 4 】

また、上部電極膜4 上には、図6 又は7 に示すように、金（A u）層1 1 a 及びチタン（T i）層1 1 b の2 層構造を有するバンプ接続用パッド（バンプ下地層ともいう）1 1 A～1 1 E が形成されている。更に、このバンプ接続用パッド1 1 A～1 1 E 上にはそれぞれ金（A u）によるバンプ1 3 A～1 3 E が形成されている。

## 【 0 0 4 5 】

また、直列共振子S 2，S 3 間及び並列共振子P 2 を結ぶ上部電極膜4 上の一部（直列共振子S 2，S 3 及び並列共振子P 2 以外の配線領域）には、バンプ接続用パッド1 1 と同一の2 層構造を有する導電層1 4 が形成されている。このように、上部電極膜4 における配線領域上に導電層1 4 を形成することで、この部分の抵抗値が低減される。これにより、梯子型バンドパスフィルタ素子1 が有するインダクタンスの所謂悪いQ を低減させることができ、フィルタ特性を向上させることが可能となる。尚、上部／下部電極膜4 ／5、圧電膜3 は上記した材料に限定されない。また、導電層1 4 は、低抵抗な材料であり且つ上部電極膜4，下部電極膜5 及びバンプ1 3 との密着性を保つことができる材料を使用すること



が好ましい。換言すれば、低抵抗で且つ圧電薄膜共振子の積層共振体を形成する電極膜の材料及びパンプ材料との相性が良い、つまり、お互いの密着力が良く、界面で不要な合金層を形成しない低抵抗率の材料であれば如何なるものでも使用することができる。このような材料として、好ましくは、パンプ 1 3 には金 (Au)，導電層 1 4 には上記で示したような Au/Ti の 2 層膜や、その他 Au/Cr の 2 層膜等が用いられる。また、各層の膜厚や直列／並列共振子のサイズも所望の周波数に応じて適宜選択される。

## 【 0 0 4 6 】

ここで各直列／並列共振子 (S 1 ～ S 4，P 1 ～ P 3) 間及びこれらとパンプ接続用パッド 1 1 とを接続する配線領域における長さとの比について説明する。

## 【 0 0 4 7 】

図 6 に示す梯子型バンドパスフィルタ素子 1 において、直列共振子 S 1 ～ S 4 の各共振子間を結ぶ配線領域の最短距離を  $20\mu\text{m}$  とし、配線領域の幅を  $160\mu\text{m}$  とする。尚、図中、X-X' 方向が長さ方向であり、これと垂直方向が幅方向である。このように構成することで、この配線領域における長さとの比 (幅／長さ) が 0.125 となる。

## 【 0 0 4 8 】

また、同図の梯子型バンドパスフィルタ素子 1 において、並列共振子 P 2 とパンプ接続用パッド 1 1 との間の最短距離を  $80\mu\text{m}$  とし、配線領域の幅を  $160\mu\text{m}$  とする。尚、図中、X-X' 方向が幅方向であり、これと垂直方向が長さ方向である。このように構成することで、この配線領域における長さとの比が 0.5 となる。

## 【 0 0 4 9 】

このように、各配線領域の長さとの比を小さく (例えば 3 以下) とすることで、この配線領域での抵抗値が低減され、梯子型バンドパスフィルタ素子 1 が有するインダクタンスの所謂悪い Q を低減させることができ、フィルタ特性を向上させることが可能となる。尚、長さとの比は、上記のように例えば 3 以下とすることが好ましく、これより大きくなると配線領域の抵抗値が高くなるため、所

望するフィルタ特性を得ることが困難となる。また、その他の部分についても同様に、共振子間及び共振子とバンプ接続用パッド間の配線領域における長さとの比を例えば3以下とする。

#### 【0050】

また、上記のように構成した梯子型バンドパスフィルタ素子1の等価回路は、素子上のインダクタンス成分が無視できる程度に低減されるため、図8に示すように、直列共振器S1～S4及び並列P1～P3が各々接続された構成となる。

#### 【0051】

尚、上記の構成において、上部電極膜4及び下部電極膜5としては、アルミニウム(A1)、銅(Cu)、モリブデン(Mo)、タングステン(W)、タンタル(Ta)、白金(Pt)、ルテニウム(Ru)、ロジウム(Rh)、イリジウム(Ir)等を用いることができる。圧電膜3としては、窒化アルミニウム(AlN)、酸化亜鉛(ZnO)、チタン酸ジルコン酸鉛(PZT)、チタン酸鉛( $\text{PbTiO}_3$ )等を用いることができる。また、基板2としては、シリコン、ガラス等を用いることができる。

#### 【0052】

次に、上記した梯子型バンドパスフィルタ素子1を収納するパッケージ20について図9及び図10を用いて説明する。尚、図9は梯子型バンドパスフィルタ素子1がパッケージ20に収納されたバンドパスフィルタ装置30の構成を示すX-X'方向(図6参照)の断面図(概略)である。図10はパッケージ20のダイアタッチ面Aを示す上面図である。

#### 【0053】

図9に示すように、本実施形態において、梯子型バンドパスフィルタ素子1はパッケージ20のダイアタッチ面Aにフェイスダウン状態でバンプ13A～13Eを用いてボンディングされる。

#### 【0054】

このパッケージ20は、梯子型バンドパスフィルタ素子1をフェイスダウン状態で保持する底板部21と、この底板部21上に保持された梯子型バンドパスフィルタ素子1を側方から囲む側壁部22とを有して構成される。パッケージ20

は、LTCC (Low Temperature Co-fired Ceramics) である比誘電率 7.5 のガラス質のセラミックス (ガラス・セラミックス) で形成される。尚、この他にも、例えば比誘電率が 4~8 のガラス・セラミックスや、比誘電率が 8~11 のアルミナ (酸化アルミニウム) セラミックス等も使用することができる。但し、フィルタ特性の悪化を招く浮遊容量の低減を鑑みて、比誘電率がより低いガラス・セラミックスを使用の方がより好ましい。更に、低温焼結が可能という点からも、ガラス・セラミックスを使用の方がより好ましい。即ち、低温焼結が可能になることで、パッケージ内の導体パターンを形成する材料として、銅 (Cu) 或いは銀 (Ag) 等の低比抵抗の導電性材料を用いることが可能となる。

## 【0055】

また、パッケージ 20 のダイアタッチ面 A 上は、15  $\mu$ m 厚の銅 (Cu) 膜によるマイクロストリップライン状の伝送路である導体パターン 23 が形成されている。また、パッケージ 20 の所定の内部には、銅 (Cu) によるビア 24 が形成されいてる。尚、Cu 膜による導体パターン 23 の表面に露出する箇所には金 (Au) / ニッケル (Ni) の 2 層構造を有するメッキが施されている。尚、一般には絶縁体層を挟んで片側に線路を有し、他の片側にグラウンドのベタ膜を有する構造がマイクロストリップラインと呼ばれるが、本実施形態では、片側にグラウンドのベタ膜が部分的に存在しない場合、或いは線路を挟んで両側にグラウンドのベタ膜が存在する場合でも、広義にこれをマイクロストリップラインと称する。

## 【0056】

このようなパッケージ 20 の導体パターン 23 の構成を図 10 に基づいて説明する。図 10 に示すように、導体パターン 23 は、バンプ接続用パッド 24a~24e と、このバンプ接続用パッド 24a~24e からそれぞれ延在された伝送路 (以下、本説明ではマイクロストリップラインという：導体パターン 23 に対応) 25a~25e とが形成される。ここで、マイクロストリップライン 25a~25e の主要構成材料としては、抵抗損失を小さくするため、なるべく低比抵抗の導電性材料が好ましい。具体的な材料としては、Cu 或いは Ag が好ましい。

## 【 0 0 5 7 】

このような構成において、図 6 の梯子型バンドパスフィルタ素子 1 におけるバンプ接続用パッド 1 1 a ~ 1 1 e 上に形成された各バンプ 1 3 A ~ 1 3 E が、それぞれ 1 対 1 で対応するバンプ接続用パッド 2 4 a ~ 2 4 e にボンディングされる。この際、それぞれの接続には 1 つのバンプ（1 3 A ~ 1 3 E の何れか）のみを用いるように構成するとよい。このように必要最小限である 1 個のバンプを用いて接続することにより、バンプ接続用パッド 1 1 A ~ 1 1 E, 2 4 a ~ 2 4 e の面積を必要最小限にすることができ、浮遊容量の発生を抑えることができる。

## 【 0 0 5 8 】

パッケージ 2 0 のバンプ接続用パッド 2 4 a ~ 2 4 e の大きさは、例えば 2 0 0  $\mu$  m 角（□）の正方形である。これは、約 1 2 0  $\mu$  m  $\phi$  であるバンプ 1 3 の設置面積に対して略 3 5 0 % のサイズであり、製造上の位置決め精度にある程度のマージンを持たせられている。但し、本実施形態において、バンプ接続用パッド 2 4 a ~ 2 4 e の大きさは、バンプ 1 3 が設置される面積に対して 1 倍以上 6 倍以下の条件を満足することが好ましい。尚、この条件は、マイクロストリップラインをより長く引き回すスペースを確保すること、パッケージを小型化した際にもフィルタ特性を向上させるのに十分なインダクタンスを得ること、パッケージにおいて各バンプ接続用パッド 2 4 a ~ 2 4 e 間及びバンプ接続用パッド 2 4 a ~ 2 4 e とマイクロストリップライン 2 5 a ~ 2 5 e との間の距離を大きく確保すること、及び、フェイスダウン状態で実装された梯子型バンドパスフィルタ素子 1 の電極パターン領域（上部電極膜 4 及び下部電極膜 5）とダイアタッチ面 A 上のバンプ接続用パッド 2 4 a ~ 2 4 e との対向する部分を少なくできること等の要件を達成するための目安である。即ち、この条件を満足するように構成することで、本実施形態では、マイクロストリップラインをより長く引き回すスペースを確保することができ、小型化されたパッケージにおいても特性向上に十分なインダクタンスを得ることができ、更にな浮遊容量の発生を抑えることも可能となる。

## 【 0 0 5 9 】

また、各マイクロストリップライン 2 5 a ~ 2 5 e の幅は 1 0 0  $\mu$  m である。

但し、各マイクロストリップライン 2 5 a ~ 2 5 e の幅は、 $50\mu\text{m}$ 以上 $150\mu\text{m}$ 以下という条件を満足することが好ましい。即ち、マイクロストリップライン 2 5 a ~ 2 5 e の幅は、 $150\mu\text{m}$ 以上とした場合、不要な浮遊容量が増加するためフィルタ特性が悪化する。また、 $50\mu\text{m}$ 以下とした場合、マイクロストリップラインを再現性良く形成することが困難になる。このため、上記のような条件が目安として設定される。

## 【 0 0 6 0 】

また、各マイクロストリップライン 2 5 a ~ 2 5 e は、角を有さないように丸みを帯びた蛇行ラインで描かれる。このように、マイクロストリップライン 2 5 a ~ 2 5 e の少なくとも一部に曲線部分を持たせることで、直線的に形成した場合よりもインダクタンスの Q を高くすることが可能となり、結果としてフィルタ特性を向上させることができる。

## 【 0 0 6 1 】

更に、各マイクロストリップライン 2 5 a ~ 2 5 e の大部分、例えば 8 割以上は、梯子型バンドパスフィルタ素子 1 の電極パターン領域（上部電極膜 4 及び下部電極膜 5）に対向する部分以外に形成されている。これにより、ダイアタッチ面 A 上のマイクロストリップライン 2 5 a ~ 2 5 e の大部分が、フェイスダウン状態で実装された梯子型バンドパスフィルタ素子 1 の上部電極膜 4 と対向しない領域に形成されるため、浮遊容量の発生を抑えることができる。

## 【 0 0 6 2 】

以上のように構成することで、フェイスダウン状態で実装された梯子型バンドパスフィルタ素子 1 の上部電極膜 4 又は下部電極膜 5 が、ダイアタッチ面 A 上の導体パターン 2 3 と殆ど対向しない状態となる。即ち、上記の構成とすることで、上部電極膜 4 又は下部電極膜 5 と、導電パターン 2 3 とにより寄生容量が発生することを防止でき、梯子型バンドパスフィルタ素子 1 の所定の直列／並列共振器にマイクロストリップラインによるインダクタンスが付与される。また、マイクロストリップライン 2 5 a ~ 2 5 e を角の無い蛇行ラインで形成することで、インダクタンスの Q の特性を向上させることができる。

## 【 0 0 6 3 】

また、上記したように、マイクロストリップライン25a～25eをパッケージ20のダイアタッチ面A上に形成することで、マイクロストリップライン25a～25eの片面が空気層となるため、浮遊容量の発生を抑えることができるとともに、パッケージ20が簡易な構成となるため、コストアップを抑えることが可能となる。

## 【0064】

図11に上記のように構成したパッケージ20に梯子型バンドパスフィルタ素子1を収納したバンドパスフィルタ装置30の等価回路を示す。図11に示すように、上記のようなインダクタンス成分を有するパッケージ20とインダクタンス成分が無視できる程度に低減された梯子型バンドパスフィルタ素子1とを接続することで、各共振子(S1～S4, P1～P3)にQの良いインダクタンス(L1～L5)が直列に接続されたバンドパスフィルタ装置30を構成することが可能となる。即ち、フィルタ特性の広帯域化及び通過帯域近傍における高抑圧化が図られた小型のバンドパスフィルタ装置30を構成することが可能となる。尚、付加するインダクタンスの位置及び大きさは、所望のフィルタ特性に応じて、適宜、選択される。

## 【0065】

尚、各マイクロストリップライン25a～25eのうち並列共振子P1～P3に接続されたマイクロストリップライン25a, 25c, 25dは、ダイアタッチ面Aに対して上方であって側壁部22の内部を貫通するビア24を通して側壁部22の上面に形成された導電性シールリング31に接続され、そこで電氣的に共通化された状態になっている。

## 【0066】

また、ダイアタッチ面Aの各マイクロストリップライン25a～25eは、ビア24又は側壁部22に形成されたキャスターレジョンの導体を通して、パッケージ20裏面に形成されたフットパターン32に接続される。尚、このフットパターン32は、外部回路との接続端子として機能する。

## 【0067】

また、パッケージ20本体には導電性シールリング31を介して前記側壁部に

より形成される凹部を覆うように導電性キャップ部材 3 3 が装着されており、その内部が密閉状態になっている。尚、内部は真空状態又は乾燥窒素が充填された状態に保持される。

## 【 0 0 6 8 】

ここで、上記した梯子型バンドパスフィルタ素子 1 のチップのみの特性と、このチップを上記したパッケージ 2 0 に実装した時の特性とを図 1 2 に示す。図 1 2 を参照すると明らかなように、チップをパッケージ 2 0 に実装することによって、フィルタ特性の広帯域化及び通過帯域近傍における高抑圧化が図られる。即ち、以上のように構成することで、本実施形態では、バンドパスフィルタフィルタ装置が有するフィルタ特性の広帯域化及び通過帯域近傍における高抑圧化を図ることができる。

## 【 0 0 6 9 】

尚、上記では、梯子型のバンドパスフィルタ素子を挙げて説明したが、本発明ではこれに限定されず、例えば格子型等、他の回路構成であってもよい。

## 【 0 0 7 0 】

## 〔他の実施形態〕

以上、説明した実施形態は本発明の好適な一実施形態にすぎず、本発明はその趣旨を逸脱しない限り種々変形して実施可能である。

## 【 0 0 7 1 】

## 【発明の効果】

以上説明したように、本発明によれば、パッケージ内のマイクロストリップラインによる Q の良いインダクタンスのみがフィルタ素子を形成する各圧電薄膜共振子に直列に付加される構成が、フィルタ装置の縮小が可能なパンプ接続を用いて実現されるため、フィルタ特性の広帯域化及び通過帯域近傍における高抑圧化が図られた小型のフィルタ装置が実現される。また、フィルタ素子における悪い Q のインダクタンスが低減されるため、フィルタ特性を向上させることが可能となる。更に、浮遊容量の発生も抑えられるため、フィルタ特性をより向上させることが可能となる。

## 【図面の簡単な説明】

【図 1】

従来技術 1 による梯子型弾性表面波フィルタ装置 1 0 0 の構成を示す回路図である。

【図 2】

従来技術 2 による梯子型弾性表面波フィルタ装置 2 0 0 の弾性表面波の伝播方向に沿った概略構成を示す断面図である。

【図 3】

図 2 に示す梯子型弾性表面波フィルタ装置 2 0 0 に搭載される梯子型弾性表面波フィルタ素子 2 0 1 の構成を示す上面図である。

【図 4】

図 2 に示す梯子型弾性表面波フィルタ素子 2 0 1 を収納するパッケージ 2 0 2 のダイアタッチ面 A を示す図である。

【図 5】

一般的な一端子対圧電薄膜共振子の等価回路を示す回路図である。

【図 6】

本発明の一実施形態による梯子形バンドパスフィルタ素子 1 の上面図である。

【図 7】

図 6 に示す梯子型バンドパスフィルタ素子 1 の X - X' 断面図である。

【図 8】

図 6 に示す梯子型バンドパスフィルタ素子 1 の等価回路を示す回路図である。

【図 9】

図 6 に示す梯子型バンドパスフィルタ素子 1 がパッケージ 2 0 に収納された構成を有するバンドパスフィルタ装置 3 0 の概略構成を示す X - X' 方向の断面図である。

【図 1 0】

図 9 に示すパッケージ 2 0 のダイアタッチ面 A を示す上面図である。

【図 1 1】

図 9 に示すバンドパスフィルタ装置 3 0 の等価回路を示す回路図である。

【図 1 2】



本発明の一実施形態による梯子型バンドパスフィルタ素子 1 のチップのみの特性と該チップをパッケージ 2 0 に実装した時の特性とを示すグラフである。

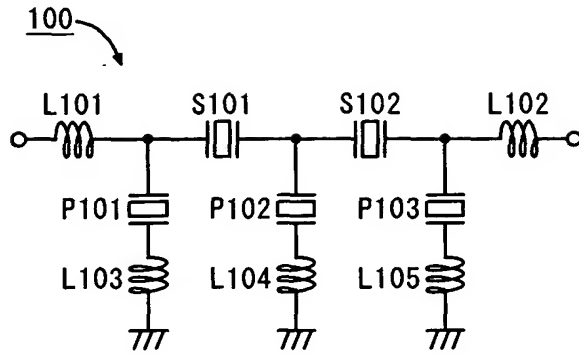
【符号の説明】

- 1 梯子型バンドパスフィルタ素子
- 2 基板
- 3 圧電膜
- 4 上部電極膜
- 5 下部電極膜
- 5 a モリブデン層
- 5 b アルミニウム層
- 6 キャビティ
- 1 1 バンプ接続用パッド
- 1 1 a、1 4 a 金層
- 1 1 b、1 4 b チタン層
- 1 3 バンプ
- 1 4 導電層
- 2 0 パッケージ
- 2 1 底板部
- 2 2 側壁部
- 2 3 導体パターン
- 2 4 ビア
- 2 4 a ~ 2 4 e バンプ接続用パッド
- 2 5 a ~ 2 5 e マイクロストリップライン
- L 1 ~ L 5 インダクタンス
- S 1 ~ S 4 直列共振子
- P 1 ~ P 3 並列共振子

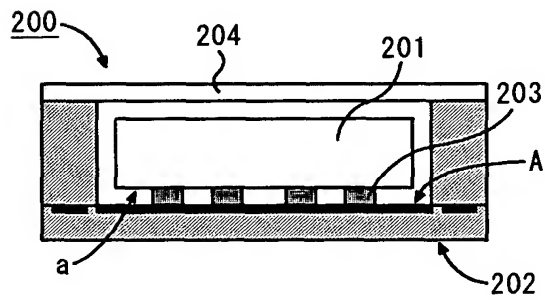
【書類名】

図面

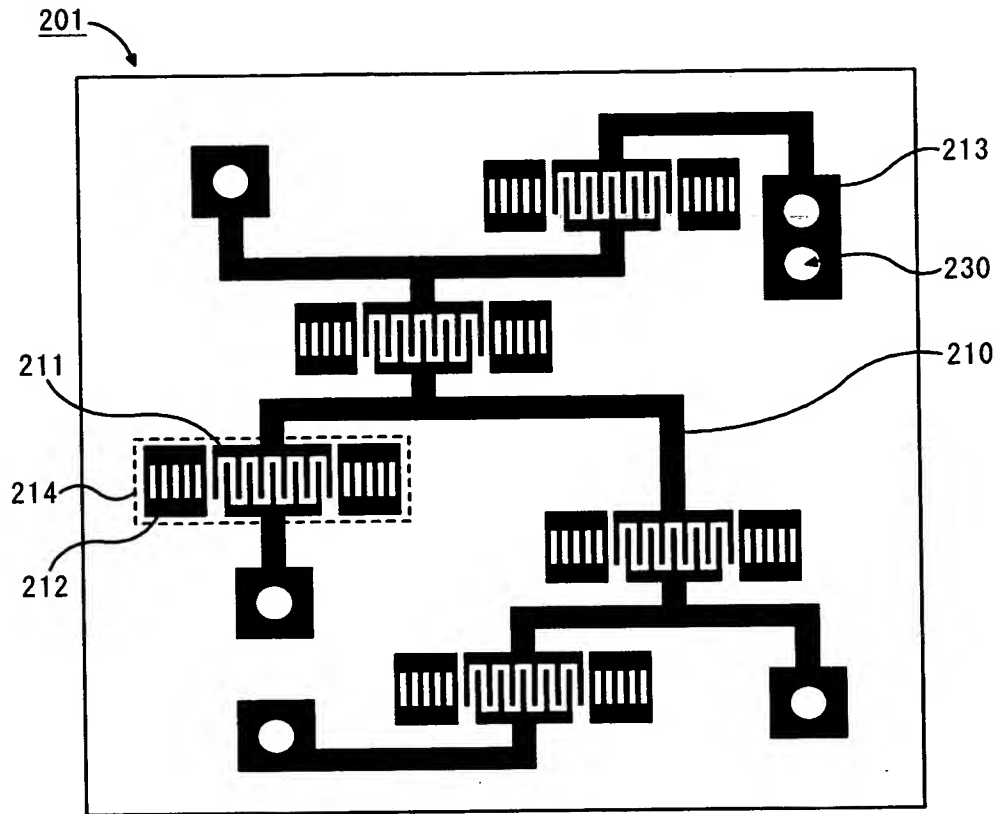
【図 1】



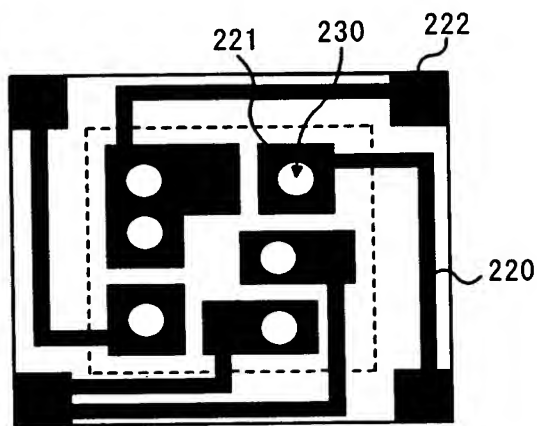
【図 2】



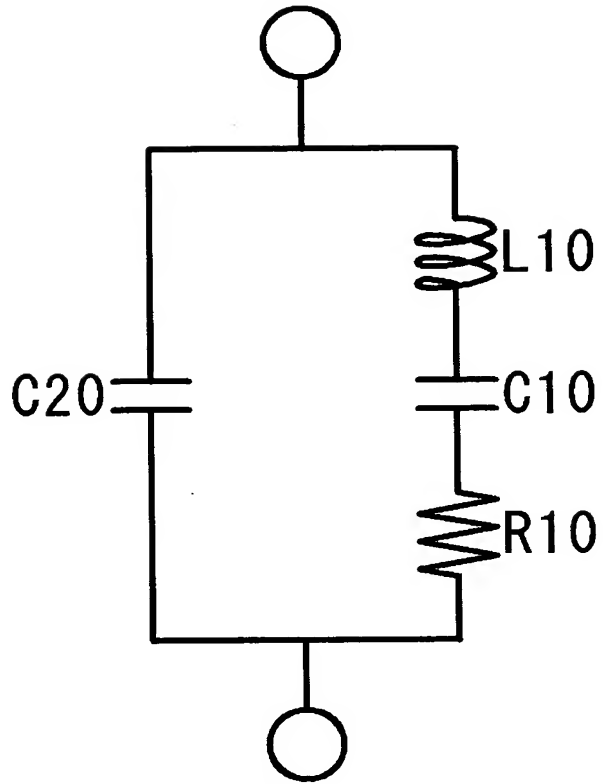
【図 3】



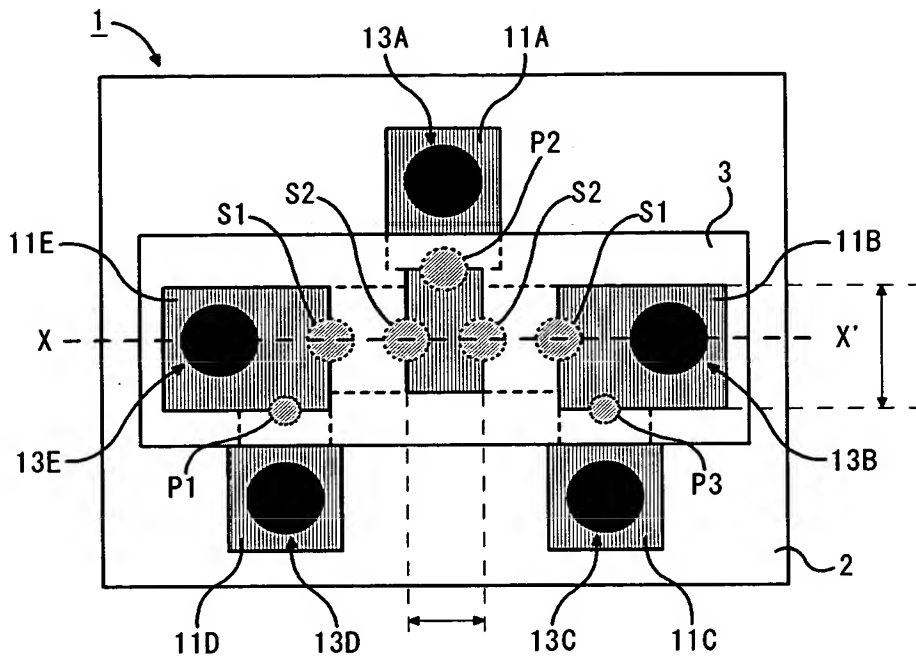
【図 4】



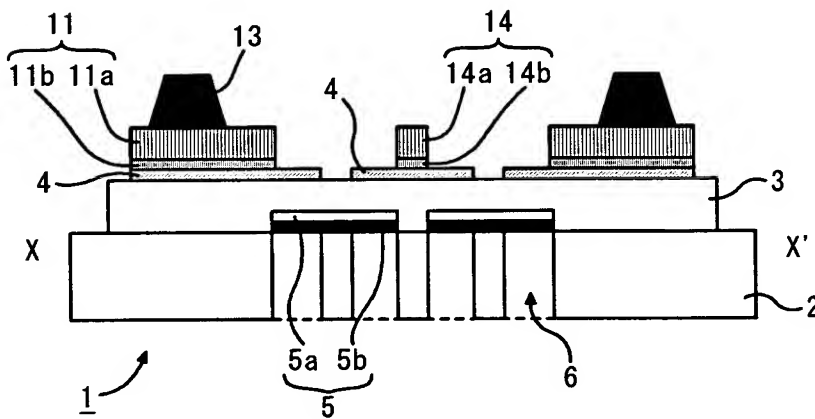
【図 5】



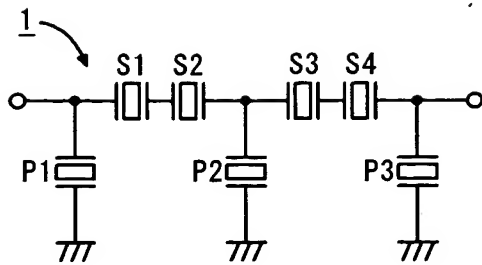
【図 6】



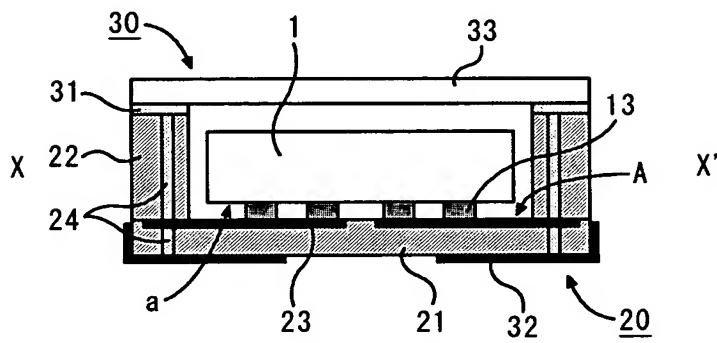
【図 7】



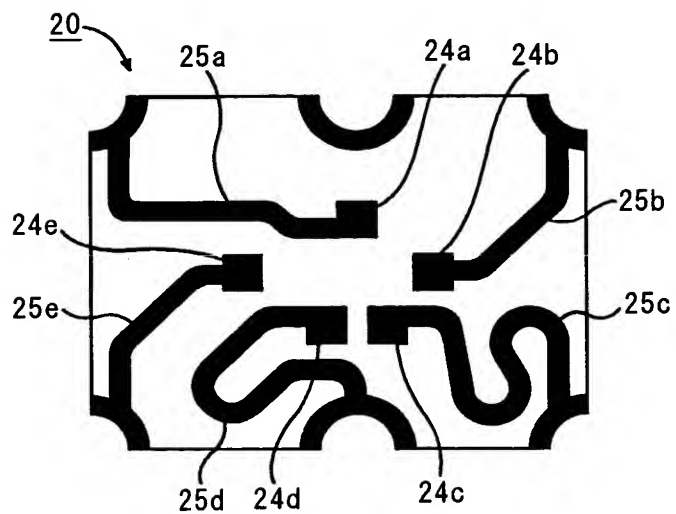
【図 8】



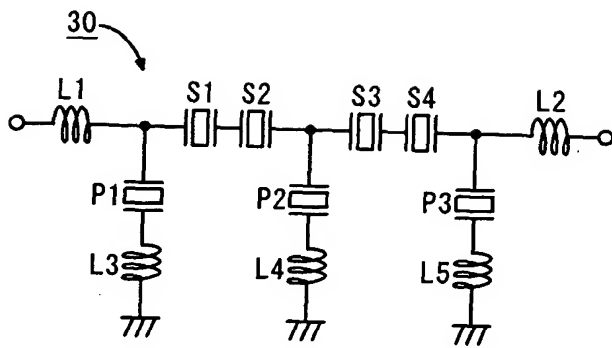
【図 9】



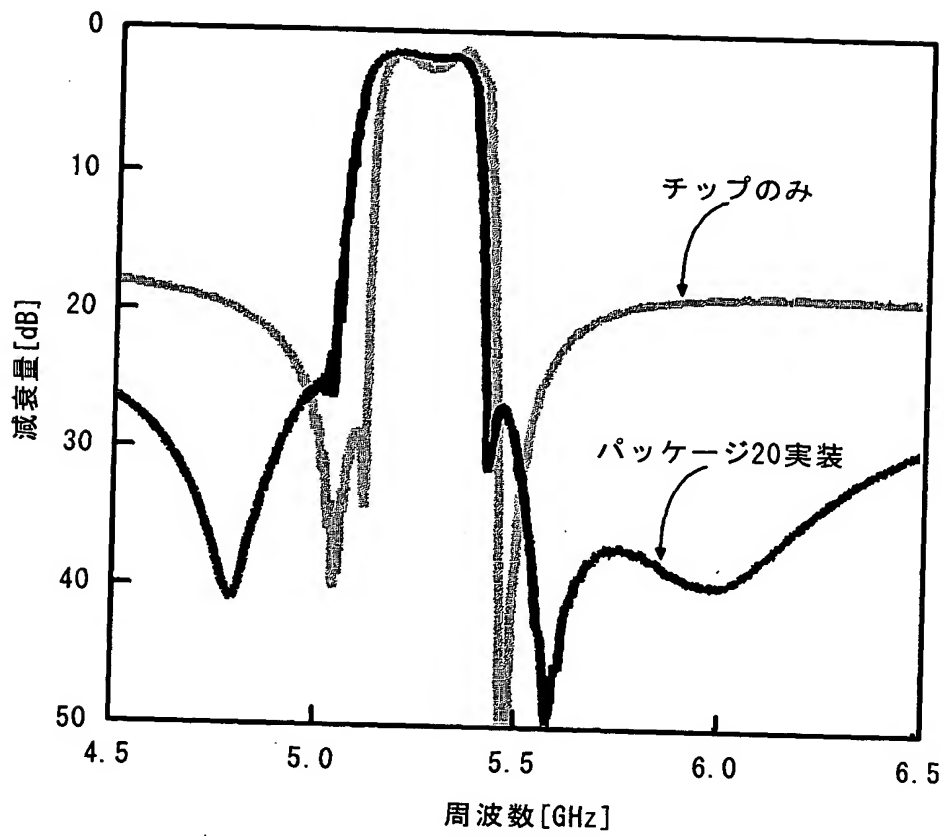
【図 10】



【図11】



【図12】



【書類名】 要約書

【要約】

【課題】 フィルタ特性の広帯域化及び通過帯域近傍における高抑圧化が図られた小型のフィルタ装置を提供する。

【解決手段】 梯子型バンドパスフィルタ素子 1 をフェイスダウン状態で収納するパッケージ 2 0 のダイアタッチ面 A において、梯子型バンドパスフィルタ素子 1 のバンブ接続用パッド 1 1 A ~ 1 1 E とバンブ 1 3 A ~ 1 3 E を介して 1 対 1 に接続されるバンブ接続用パッド 2 4 a ~ 2 4 e にマイクロストリップライン 2 5 a ~ 2 5 e を接続する。これにより、梯子型バンドパスフィルタ素子 1 上の一端子圧電薄膜共振子 S 1 ~ S 4 , P 1 ~ P 3 に直列に Q の良いインダクタンスが接続される。

【選択図】 図 1 0



出 願 人 履 歴 情 報

識別番号 [398067270]

1. 変更年月日 1998年10月26日  
[変更理由] 新規登録  
住 所 長野県須坂市大字小山460番地  
氏 名 富士通メディアデバイス株式会社
2. 変更年月日 2002年10月28日  
[変更理由] 住所変更  
住 所 神奈川県横浜市港北区新横浜二丁目3番地12  
氏 名 富士通メディアデバイス株式会社
3. 変更年月日 2002年11月 5日  
[変更理由] 住所変更  
住 所 神奈川県横浜市港北区新横浜二丁目3番12号  
氏 名 富士通メディアデバイス株式会社

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社